

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06105069 A**

(43) Date of publication of application: **15.04.94**

(51) Int. Cl. **H04N 1/028**
H01L 27/146
H04N 1/04
H04N 5/335

(21) Application number: **04274963**

(22) Date of filing: **17.09.92**

(71) Applicant: **KANEGAFUCHI CHEM IND CO LTD**

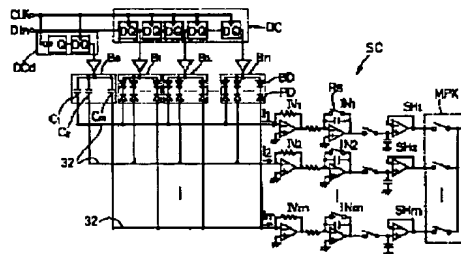
(72) Inventor: **MURAKAMI SATORU**
YAMAWAKI TAKEJI
MAEDA HIROMI

(54) **METHOD AND DEVICE FOR READING PICTURE** COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To cancel the capacitance kick to read a picture with a high SN ratio by applying a specific dummy driving pulse to dummy capacities sharing output lines with photo diodes and performing time integration even after the fall of the driving pulse.

CONSTITUTION: A driving pulse is applied to photo diodes PD at intervals of a certain time by a driving circuit DC, and meanwhile, the dummy driving pulse is applied to dummy capacities $C_1, C_2 \dots C_m$ sharing output lines with photo diodes PD by a dummy driving circuit DCd. The dummy driving pulse falls at the time of the rise of the driving pulse and rises at the time of the fall of the driving pulse, and the capacitance kick due to capacities of blocking diodes BD and that due to dummy capacities have opposite polarities and are cancelled. Further, currents flowing out from photo diodes PD are subjected to time integration even after the fall of the driving pulse to completely cancel of residual component.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-105069

(43) 公開日 平成6年(1994)4月15日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/028	A	8721-5C		
H 0 1 L 27/146				
H 0 4 N 1/04	1 0 3 Z	7251-5C		
5/335	P			
		7210-4M		
			H 0 1 L 27/14	A
			審査請求 未請求 請求項の数4 (全 9 頁)	

(21) 出願番号 特願平4-274963

(22) 出願日 平成4年(1992)9月17日

(71) 出願人 000000941

鐘淵化学工業株式会社

大阪府大阪市北区中之島3丁目2番4号

(72) 発明者 村上 悟

滋賀県守山市浮気町300-15-2-609

(72) 発明者 山脇 竹治

滋賀県守山市水保町1150-24

(72) 発明者 前田 博巳

京都府京都市伏見区東浜南町674-2

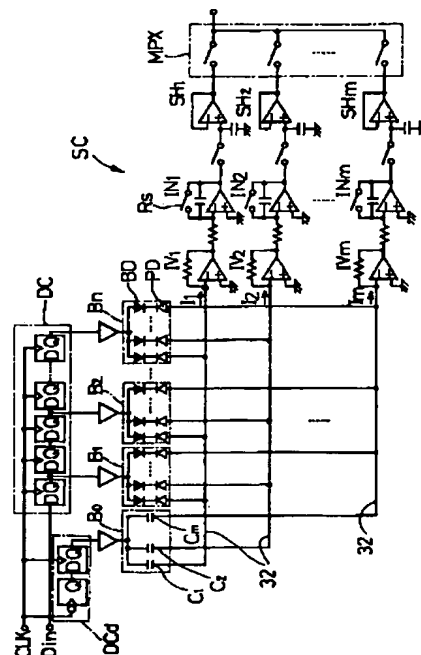
(74) 代理人 弁理士 楠本 高義

(54) 【発明の名称】 画像読取方法及びその装置

(57) 【要約】

【目的】 密着型イメージセンサにおける駆動パルスの立ち上がり時と立ち下がり時に生じるキャパシタンスキックを、できる限りセンサ基板を大きくしないで、完全に相殺する。

【構成】 センサ基板上にフォトダイオードPDと出力ラインを共通にする疑似容量 C_1 , C_2 , ..., C_n を設け、これら疑似容量に駆動パルスが立ち上がる時に立ち下がるとともに立ち下がる時に立ち上がる疑似駆動パルスを印加し、立ち上がり時と立ち下がり時に生じるキャパシタンスキックの残留成分を含む区間で積分し、これらを完全に相殺するようにした。



1

【特許請求の範囲】

【請求項1】 フォトダイオードに一定時間おきに駆動パルスを印加し、該駆動パルスが印加されている間に該フォトダイオードから流れ出す電流を時間積分することによって当該一定時間内に該フォトダイオードに入射した光量を電気信号として読み出す画像読取方法において、

前記フォトダイオードと出力ラインを共通にする疑似容量に、前記駆動パルスが立ち上がる時に立ち下がるとともに立ち下がる時に立ち上がる疑似駆動パルスを印加し、前記駆動パルスが立ち下がった後まで時間積分することを特徴とする画像読取方法。

【請求項2】 フォトダイオードが形成されて成るセンサ基板と、該フォトダイオードに一定時間おきに駆動パルスを印加する駆動回路と、該駆動パルスが印加されている間に該フォトダイオードから流れ出す電流を時間積分する信号処理回路とを備えた画像読取装置において、前記フォトダイオードと出力ラインを共通にする疑似容量と、該疑似容量に前記駆動パルスが立ち上がる時に立ち下がるるとともに立ち下がる時に立ち上がる疑似駆動パルスを印加する疑似駆動回路とを設け、かつ、前記信号処理回路を前記駆動パルスが立ち下がった後まで時間積分するように構成したことを特徴とする画像読取装置。

【請求項3】 前記疑似容量をセンサ基板上に設け、前記フォトダイオードを覆う層間絶縁膜を該疑似容量の誘電体として用いたことを特徴とする請求項2に記載の画像読取装置。

【請求項4】 前記疑似容量を前記信号処理回路の入力部に設けたことを特徴とする請求項2に記載の画像読取装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は画像読取方法及びその装置に関し、さらに詳しくは、ファクシミリ、イメージスキャナ、デジタル複写機、電子黒板などの原稿上の画像をいわゆる電荷蓄積法によって読み取る方法及びその装置の改良に関する。

【0002】

【従来の技術】 従来、ファクシミリなどの原稿読み取り部には電荷結合素子 (charge coupled device; CCD) を用いた縮小光学系の画像読取装置が使用されていたが、近年は画像を等倍で読み取ることのできる画像読取装置、いわゆる密着型イメージセンサが広く使用されている。

【0003】 従来の画像読取装置は、たとえば図7の配線図に示すように、逆極性で直列に接続された $m \times n$ 個のフォトダイオードPDとブロッキングダイオードBDとがアレイ状に配列され、 m 個毎に n 個のブロック B_1, B_2, \dots, B_n に区分されていて、各ブロッキングダイオードBDにはブロック B_1, B_2, \dots, B_n 毎に駆動回路D

2

Cが接続され、各フォトダイオードPDにはブロック B_1, B_2, \dots, B_n 間で相対的に同じ位置にあるもの同士で電流増幅回路 $I V_1, I V_2, \dots, I V_n$ を介して積分回路 $I N_1, I N_2, \dots, I N_n$ が接続されている。さらに、これらの積分回路 $I N_1, I N_2, \dots, I N_n$ にはサンプルホールド回路 $S H_1, S H_2, \dots, S H_n$ とマルチプレクサ回路MPXとが接続されている。ここでは、電流増幅回路 $I V_1, I V_2, \dots, I V_n$ 、積分回路 $I N_1, I N_2, \dots, I N_n$ 、サンプルホールド回路 $S H_1, S H_2, \dots, S H_n$ 及びマルチプレクサ回路MPXによりフォトダイオードPDから流れ出す電流 I_1, I_2, \dots, I_n を時間積分する信号処理回路SCを構成している。なお、フォトダイオードPD、ブロッキングダイオードBD及びこれらを接続するためのマトリクス配線などは、ガラスなどの同一基板上に形成されている。

【0004】 この画像読取装置は、光電流による信号をフォトダイオードPDの容量に一旦蓄積させてから検出する電荷蓄積法によって動作させられるもので、図8に示すように、各ブロック B_1, B_2, \dots, B_n に一定時間 T_{int} おきに駆動パルス V_1, V_2, \dots, V_n がそれぞれ順番に印加される。この駆動パルス V_1, V_2, \dots, V_n が印加されている間にフォトダイオードPDから流れ出す電流 I_1, I_2, \dots, I_n が、電流増幅回路 $I V_1, I V_2, \dots, I V_n$ により増幅された後、積分回路 $I N_1, I N_2, \dots, I N_n$ により時間積分されることによって、その一定時間 T_{int} 内にフォトダイオードPDに入射した光量が電気信号として読み出されるのである。

【0005】 このように電荷蓄積法によって画像を読み取る場合には、駆動パルス V_1, V_2, \dots, V_n の立ち上がり時と立ち下がり時とにブロッキングダイオードBDの容量に起因してキャパシタンスキックが生じるという問題があるが、立ち上がり時に生じるキャパシタンスキックと立ち下がり時に生じるキャパシタンスキックとは、極性が逆で、大きさもほぼ同じになる。そこで通常は、駆動パルス V_1, V_2, \dots, V_n の立ち上がり時と立ち下がり時のタイミングを隣接するブロック B_1, B_2, \dots, B_n 間で一致させることによって、このようなキャパシタンスキックを互いに相殺するようにしている。

【0006】 また別の方法として、図9に示すように、駆動パルス V_1, V_2, \dots, V_n の立ち上がり時と立ち下がり時とに生じるそれぞれのキャパシタンスキックCを一括して積分することにより相殺するようにしたものも開示されている (特開平3-123270号公報)。キャパシタンスキックを一括して積分するためには、たとえば前述した積分回路 $I N_1, I N_2, \dots, I N_n$ におけるスイッチング素子 R_s を次の駆動パルス V_1, V_2, \dots, V_n が印加される直前にオンにすることによって、その積分コンデンサをリセットするようにすればよい。

【0007】

【発明が解決しようとする課題】 しかしながら、駆動パ

3

ルス V_1, V_2, \dots, V_n の立ち上がりとしち下がりとを一致させる方法では、キャパシタンスキックを完全に相殺することはできないという問題があった。キャパシタンスキックを完全に相殺するためにはブロッキングダイオードBDやフォトダイオードPDなどから成る一連の系の時定数が隣接するブロック B_1, B_2, \dots, B_n 間で完全に一致している必要があるが、フォトダイオードPDなどを構成している半導体層の膜厚を完全に均一にすることは困難で、フォトダイオードPDの容量は隣接するブロック B_1, B_2, \dots, B_n 間でわずかに異なっているためと考えられる。

【0008】たとえば、半導体層の膜厚が第1番目のブロック B_1 側から第 n 番目のブロック B_n 側へ行くに連れて徐々に薄くなっている場合は、フォトダイオードPDの容量は徐々に大きくなっていて、駆動パルス V_1, V_2, \dots, V_n の立ち上がり時に生じるキャパシタンスキックの方がわずかに大きくなる。したがって図8に示すように、明出力時の出力電流 I には信号成分に加えてキャパシタンスキックの残留成分 N が含まれている。また、暗出力時の出力電流 I' にはキャパシタンスキックの残留成分 N が正のノイズとして現れる。逆に、半導体層の膜厚が第1番目のブロック B_1 側から第 n 番目のブロック B_n 側へ行くに連れて徐々に厚くなっている場合は、暗出力時の出力電流 I'' にはキャパシタンスキックの残留成分 N が負のノイズとして現れる。

【0009】一方、立ち上がり時としち下がり時とに生じるキャパシタンスキックを一括して積分する方法では、同系で時定数が同じであるからキャパシタンスキックを完全に相殺できるようにもみえるが、キャパシタンスキックのレベルは信号成分のレベルに比べて10~20倍と極めて大きく、積分回路 $I_{N1}, I_{N2}, \dots, I_{Nn}$ の出力電圧 V_{IN} がすぐに飽和してしまうため、実用的ではなかった。

【0010】これに対し本発明者らは、図10に示すように、疑似フォトダイオードPD₀と疑似ブロッキングダイオードBD₀とから構成される疑似ブロックB₀をブロック B_1 の隣に設け、この疑似ブロックB₀に各駆動パルス V_1, V_2, \dots, V_n が立ち上がる時に立ち下がる時とともに立ち下がる時に立ち上がる疑似駆動パルスを印加し、立ち上がり時としち下がり時とに生じるキャパシタンスキックの残留成分を含む区間で積分して、これらを完全に相殺するようにしたものを既に提案している(特願平3-326980)。この先願に係る発明は、キャパシタンスキックを完全に相殺することができるなど、優れた効果を奏するものではあるが、疑似ブロックB₀を設ける必要があるため、フォトダイオードPDやブロッキングダイオードBDなどが形成されているセンサ基板が若干大きくなるという欠点があった。

【0011】そこで、本発明者らはこれらの問題を解決し、SN比の向上などを図るため鋭意研究を重ねた結

4

果、本発明に至った。

【0012】

【課題を解決するための手段】本発明に係る画像読取方法の要旨とするところは、フォトダイオードに一定時間おきに駆動パルスを印加し、該駆動パルスが印加されている間に該フォトダイオードから流れ出す電流を時間積分することによって当該一定時間内に該フォトダイオードに入射した光量を電気信号として読み出す画像読取方法において、前記フォトダイオードと出力ラインを共通にする疑似容量に、前記駆動パルスが立ち上がる時に立ち下がる時とともに立ち下がる時に立ち上がる疑似駆動パルスを印加し、前記駆動パルスが立ち下がった後まで時間積分することにある。

【0013】一方、本発明に係る画像読取装置は、前記画像読取方法の実施に直接使用するもので、その要旨とするところは、フォトダイオードが形成されて成るセンサ基板と、該フォトダイオードに一定時間おきに駆動パルスを印加する駆動回路と、該駆動パルスが印加されている間に該フォトダイオードから流れ出す電流を時間積分する信号処理回路とを備えた画像読取装置において、前記フォトダイオードと出力ラインを共通にする疑似容量と、該疑似容量に前記駆動パルスが立ち上がる時に立ち下がる時とともに立ち下がる時に立ち上がる疑似駆動パルスを印加する疑似駆動回路とを設け、かつ、前記信号処理回路を前記駆動パルスが立ち下がった後まで時間積分するように構成したことにある。

【0014】また、かかる画像読取装置において、前記疑似容量をセンサ基板上に設け、前記フォトダイオードを覆う層間絶縁膜を該疑似容量の誘電体として用いたことにある。

【0015】また、かかる画像読取装置において、前記疑似容量を前記信号処理回路の入力部に設けたことにある。

【0016】

【作用】かかる画像読取方法又はその装置によれば、駆動回路などによってフォトダイオードに一定時間おきに駆動パルスが印加される一方、疑似駆動回路などによってフォトダイオードと出力ラインを共通にして設けた疑似容量に疑似駆動パルスが印加される。この疑似駆動パルスは、駆動パルスが立ち上がる時に立ち下がる時とともに立ち下がる時に立ち上がるようにされているので、ブロッキングダイオードの容量に起因して生じるキャパシタンスキックと、疑似容量に起因して生じるキャパシタンスキックとが互いに逆極性になって、これらのほとんどは相殺されてなくなる。

【0017】しかしながら、これらには容量差があるので、キャパシタンスキックは完全には相殺されず、少しだけ残留する。すなわち、フォトダイオードの容量の方が大きい場合には、駆動パルスが立ち上がる時にキャパシタンスキックの残留成分は正のノイズとして現れ、駆

動パルスが立ち下がる時に負のノイズとして現れる。逆に疑似容量の方が大きい場合には、駆動パルスが立ち上がる時にキャパシタンスキックの残留成分は負のノイズとして現れ、駆動パルスが立ち下がる時に正のノイズとして現れる。これらキャパシタンスキックの残留成分は極性が逆になるだけでなく、或る特定のフォトダイオードの容量と疑似容量との差に起因して残留するものであるから、それらの大きさは全く同じになる。したがって、信号処理回路などによって駆動パルスが印加されている間だけでなく、駆動パルスが立ち下がった後までフォトダイオードから流れ出す電流が時間積分されることによって、これらキャパシタンスキックの残留成分は完全に相殺され、その一定時間内にフォトダイオードに入射した光量だけが電気信号として読み出されることになる。

【0018】

【実施例】次に、本発明に係る画像読取方法及びその装置の実施例を図面に基づき詳しく説明する。

【0019】図2乃至図4において、符号10は本発明に係る画像読取装置を構成するセンサ基板の一実施例である。このセンサ基板10は、逆極性で直列に接続された $m \times n$ 個のフォトダイオードPDとブロッキングダイオードBDとがガラスなどの基板12上に形成され、 m 個毎に n 個のブロック B_1, B_2, \dots, B_n に区分されている。フォトダイオードPDとブロッキングダイオードBDとは共に同じアモルファスシリコンなどから成るpin構造の半導体層14、16で構成され、これら半導体層14、16の上面にはITOなどから成る透明電極18、20が形成されている。また、フォトダイオードPDとブロッキングダイオードBDとは SiO_x などから成る層間絶縁膜22により覆われていて、その層間絶縁膜22に形成されたコンタクトホール24、26を介して接続配線28によって接続されている。さらにこれら全体は、 $SiNx$ などから成る保護膜30によって覆われている。

【0020】また、基板12上にはマトリクス配線32が形成されていて、このマトリクス配線32によって各ブロック B_1, B_2, \dots, B_n 間で相対的に同じ位置にあるフォトダイオードPD同士が引出配線34を介して共通に接続されている。一方、ブロッキングダイオードBDは共通電極36によってブロック B_1, B_2, \dots, B_n 毎に共通に接続され、これらの共通電極36は駆動回路に接続するための取出電極38に接続されている。

【0021】さらに、マトリクス配線32の延長線上には m 個の疑似容量 C_1, C_2, \dots, C_m が設けられている。この点が本実施例の最大の特徴である。これら疑似容量 C_1, C_2, \dots, C_m は、基板12上に形成された疑似容量用の共通電極40と、マトリクス配線32の延長部分とを対向電極として用い、さらに層間絶縁膜22を誘電体として用いている。また、疑似容量用の共通電極40も

正規のブロック B_1, B_2, \dots, B_n と同様に取出電極42に接続されている。なお、この疑似容量用の共通電極40は、ブロッキングダイオードBDを共通に接続する共通電極36や引出配線34と同時に形成されている。

【0022】この場合、キャパシタンスキックは、フォトダイオードPDの容量 C_{PD} とブロッキングダイオードBDの容量 C_{BD} との合成容量 $C_{PD} \times C_{BD} / (C_{PD} + C_{BD})$ に起因して発生するが、一般に $C_{PD} : C_{BD}$ は10 : 1程度であるから、ほぼブロッキングダイオードBDの容量 C_{BD} によって決定することになる。ここで、真空の誘電率を ϵ_0 、半導体層16の比誘電率を ϵ 、電極20、36の対向面積を S 、半導体層16の厚さを t とすると、ブロッキングダイオードBDの容量 C_{BD} は次式で表される。

$$C_{BD} = \epsilon_0 \cdot \epsilon S / t$$

【0023】したがって、ブロッキングダイオードBDの容量に起因して生じるキャパシタンスキックを有効に相殺するためには、疑似容量 C_1, C_2, \dots, C_m をブロッキングダイオードBDの容量 C_{BD} と同じにすればよい。たとえば、ブロッキングダイオードBDのサイズが $30 \mu m \times 30 \mu m$ 、半導体層16の厚さ t が $1 \mu m$ 、真空の誘電率 ϵ_0 が 8.85×10^{-12} 、アモルファスシリコンの比誘電率 ϵ が12であれば、ブロッキングダイオードBDの容量 C_{BD} は約0.1 pFとなる。したがって、疑似容量 C_1, C_2, \dots, C_m も約0.1 pFにすればよい。ここで、疑似容量 C_1, C_2, \dots, C_m の誘電体である層間絶縁膜22が SiO_2 から成り、厚さが $1 \mu m$ である場合は、 SiO_2 の比誘電率 ϵ は約3であるから疑似容量 C_1, C_2, \dots, C_m の対向面積をブロッキングダイオードBDの約4倍にすればよい。ただし、両者の容量を完全に一致させる必要はなく、比較的近い値であればよい。このことは後に詳述する。

【0024】このセンサ基板10は、図1の配線図に示すように、駆動回路DCや信号処理回路SCなどと接続され、これらにより画像読取装置が構成されている。なお、 m 個の疑似容量 C_1, C_2, \dots, C_m はブロック B_1 の隣にアレイ状に配列され、これらにより疑似ブロック B_0 が構成されている。

【0025】ブロッキングダイオードBDのアノード電極は各ブロック B_1, B_2, \dots, B_n 毎に共通するバッファゲートを介して駆動回路DCに接続され、疑似容量 C_1, C_2, \dots, C_m の一方の電極は疑似ブロック B_0 で共通するバッファゲートを介して疑似駆動回路DCdに接続されている。また、フォトダイオードPDのアノード電極及び疑似容量 C_1, C_2, \dots, C_m の他方の電極はブロック B_1, B_2, \dots, B_n 及び疑似ブロック B_0 間で相対的に同じ位置にあるもの同士で共通に接続され、電流増幅回路 IV_1, IV_2, \dots, IV_m を介して積分回路 IN_1, IN_2, \dots, IN_m に接続されている。さらに、積分回路 IN_1, IN_2, \dots, IN_m にはサンプルホールド回路 SH_1, S

7

H_1, \dots, S_H 。とマルチプレクサ回路MPXとが接続されていて、これら電流増幅回路 $I_{V_1}, I_{V_2}, \dots, I_{V_n}$ と、積分回路 $I_{N_1}, I_{N_2}, \dots, I_{N_n}$ と、サンプルホールド回路 SH_1, SH_2, \dots, SH_n と、マルチプレクサ回路MPXとによって、フォトダイオードPDから流れ出す電流 I_1, I_2, \dots, I_n を時間積分する信号処理回路SCが構成されている。

【0026】ここで、駆動回路DCは複数のDフリップフロップから構成されるシフトレジスタであって、図5のタイムチャートに示すように、クロックパルスCLKにしたがってフォトダイオードPDにブロック B_1, B_2, \dots, B_n 。単位で順番に駆動パルス V_1, V_2, \dots, V_n を印加するものである。また、これら駆動パルス V_1, V_2, \dots, V_n は一定時間 T_{int} おきに印加されるようになっている。

【0027】また、疑似駆動回路DCdはTフリップフロップとDフリップフロップとから構成され、図5のタイムチャートに示すように、駆動パルス V_1, V_2, \dots, V_n が立ち上がる時に立ち下がるのと同時に立ち下がる時に立ち上がる疑似駆動パルス V_0 を疑似容量 C_1, C_2, \dots, C_n に印加するものである。

【0028】さらに、積分回路 $I_{N_1}, I_{N_2}, \dots, I_{N_n}$ における各スイッチング素子 R_s は駆動パルス V_1, V_2, \dots, V_n が印加される直前にオンになり、それぞれの積分コンデンサをリセットするようになっている。すなわち、信号処理回路SCは、駆動パルス V_1, V_2, \dots, V_n が立ち下がった後まで時間積分するように構成されている。

【0029】次に、この画像読取装置の動作を図5のタイムチャートに基づき説明する。

【0030】駆動回路DCによりフォトダイオードPDにブロック B_1, B_2, \dots, B_n 。単位で順番に駆動パルス V_1, V_2, \dots, V_n が印加され、疑似駆動回路DCdにより疑似容量 C_1, C_2, \dots, C_n に疑似ブロック B_0 。単位で疑似駆動パルス V_0 が印加される。この疑似駆動パルス V_0 は駆動パルス V_1, V_2, \dots, V_n が立ち上がる時に立ち下がるのと同時に立ち下がる時に立ち上がるので、駆動パルス V_1, V_2, \dots, V_n が立ち上がる時にブロッキングダイオードBDの容量に起因して生じるキャパシタンスキックと、疑似駆動パルス V_0 が立ち下がる時に疑似容量 C_1, C_2, \dots, C_n に起因して生じるキャパシタンスキックとは互いに逆極性になる。また同様に、駆動パルス V_1, V_2, \dots, V_n が立ち下がる時に生じるキャパシタンスキックと、疑似駆動パルス V_0 が立ち上がる時に生じるキャパシタンスキックも互いに逆極性になる。したがって、フォトダイオードPDと疑似容量 C_1, C_2, \dots, C_n とはマトリクス配線32によって出力ラインを共通にしているため、これらキャパシタンスキックのほとんどは相殺されてなくなる。

【0031】ところが実際は、ブロッキングダイオード

8

BDを構成している半導体層16の膜厚は均一になっていないので、各ブロッキングダイオードBDと疑似容量 C_1, C_2, \dots, C_n との間には容量差が生じる。このため、キャパシタンスキックは完全には相殺されず、少しだけ残留することになる。

【0032】たとえば、半導体層14, 16の膜厚が疑似ブロック B_0 。側から第 n 番目のブロック B_n 。側へ行くに連れて徐々に薄くなっていて、疑似容量 C_1, C_2, \dots, C_n が第1番目のブロック B_1 。内にあるブロッキングダイオードBDの容量よりも小さくなっている場合は、ブロッキングダイオードBDの容量に起因して生じるキャパシタンスキックの方が大きく、駆動パルス V_1, V_2, \dots, V_n が立ち上がる時には正のキャパシタンスキックが残留し、駆動パルス V_1, V_2, \dots, V_n が立ち下がる時には負のキャパシタンスキックが残留する。したがって、明出力時の出力電流 I には信号成分に加えて正の残留成分 N_1 と負の残留成分 N_2 とが含まれ、暗出力時の出力電流 I' には正の残留成分 N_1 と負の残留成分 N_2 とが交互に現れる。

【0033】逆に、半導体層14, 16の膜厚が疑似ブロック B_0 。側から第 n 番目のブロック B_n 。側へ行くに連れて徐々に厚くなっていて、疑似容量 C_1, C_2, \dots, C_n が第1番目のブロック B_1 。内にあるブロッキングダイオードBDの容量よりも大きくなっている場合は、駆動パルス V_1, V_2, \dots, V_n が立ち上がる時には負のキャパシタンスキックが残留し、駆動パルス V_1, V_2, \dots, V_n が立ち下がる時には正のキャパシタンスキックが残留する。したがって、暗出力時の出力電流 I'' には前述した場合と反対の状態で負の残留成分 N_2 と正の残留成分 N_1 とが交互に現れる。

【0034】また、上記のような場合には、ほぼ中央のブロック内にあるブロッキングダイオードBDの容量に疑似容量 C_1, C_2, \dots, C_n を一致させるようにしてもよい。この場合の残留成分 N_1, N_2 は、その中央のブロックに駆動パルスが印加された時は完全になくなり、その中央のブロックの前後で正の残留成分 N_1 と負の残留成分 N_2 の現れる状態が反対になる。

【0035】これらキャパシタンスキックの残留成分 N_1, N_2 は、或る特定のフォトダイオードPDと疑似容量 C_1, C_2, \dots, C_n との間の容量差に起因して生じるものであるから、それらの大きさは全く同じである。したがって、これら正の残留成分 N_1 と負の残留成分 N_2 とを含む区間で出力電流 I, I', I'' を時間積分すれば、これら残留成分 N_1, N_2 は完全に相殺されることになる。このため、ブロッキングダイオードBDの容量と疑似容量 C_1, C_2, \dots, C_n とを完全に一致させる必要はなく、比較的近い値であればよいのである。

【0036】このことをさらに詳述すると、積分回路 $I_{N_1}, I_{N_2}, \dots, I_{N_n}$ における各スイッチング素子 R_s が、駆動パルス V_k ($k=1, 2, \dots, n$)が印加され終わった直

後ではなく、その次の駆動パルス V_{i+1} が印加され始める直前にオンになるので、明出力時の出力電流 I が積分回路 IN_1, IN_2, \dots, IN_n により時間積分されると、その出力電圧 V_{IN} は一定時間 T_{int} 内にフォトダイオード PD に入射した光量に相当する信号成分だけになる。また、暗出力時の出力電流 I', I'' が積分回路 IN_1, IN_2, \dots, IN_n により時間積分されると、その出力電圧 V_{IN}', V_{IN}'' は完全に 0 V になる。このように、駆動パルス V_1, V_2, \dots, V_n が立ち下がった後の残留成分 N_1, N_2 を積分区間に含めることによって、ノイズの少ない良好な画像を読み取ることができる。

【0037】このように、本実施例に係る画像読取装置には、疑似容量 C_1, C_2, \dots, C_n と疑似駆動回路 DCd とが設けられ、かつ、積分回路 IN_1, IN_2, \dots, IN_n における各スイッチング素子 Rs が駆動パルス V_1, V_2, \dots, V_n の印加される直前にオンになるように構成されているため、キャパシタンスキップは完全に相殺され、高 SN 比で画像を読み取ることができる。しかも、キャパシタンスキップを疑似駆動パルス V_0 によってある程度まで相殺してから時間積分するようにしているので、積分回路 IN_1, IN_2, \dots, IN_n がすぐに飽和してしまうようなこともない。また、これらの系の時定数はほぼ一致しているため、キャパシタンスキップの残留成分 N_1, N_2 は極めて少なく、電流増幅回路 IV_1, IV_2, \dots, IV_n のゲイン、つまりフィードバック抵抗をフォトダイオード PD の信号レベルに合わせて自由に設定することができる。

【0038】また本実施例では、疑似容量 C_1, C_2, \dots, C_n がセンサ基板 10 上に設けられ、層間絶縁膜 22 がこれら疑似容量 C_1, C_2, \dots, C_n の誘電体として用いられているため、センサ基板 10 は従来のものに比べて疑似容量 C_1, C_2, \dots, C_n の分だけ大きくなっているが、疑似フォトダイオード PD、などから成る疑似ブロック B を設けたものに比べれば格段に小さくなっている。

【0039】以上、本発明に係る画像読取方法及びその装置の一実施例を詳述したが、本発明は上述した実施例に限定されることなく、その他の態様でも実施し得るものである。

【0040】たとえば図 6 に示すように、マトリクス配線 32 の取出電極 44 側に疑似容量用の共通電極 46 を形成することによって、疑似容量 C_1, C_2, \dots, C_n を設けてもよい。この場合、マトリクス配線 32 のパターンによってはセンサ基板 10 が全く大きくなならないこともある。本例からも明らかなように、疑似容量 C_1, C_2, \dots, C_n はセンサ基板 10 上のどこに設けてもよく、要するに図 1 の配線図に示したように、フォトダイオード PD と出力ラインを共通にするように設ければよいのである。したがって、信号処理回路 SC を構成している電流増幅回路 IV_1, IV_2, \dots, IV_n の反転入力端子のそれぞれに疑似容量を接続し、これら疑似容量に疑似駆

動パルス V_0 を印加するようにしてもよい。すなわち、信号処理回路 SC などが内蔵された信号処理用 IC の入力部に疑似容量を内蔵してもよいのである。この場合、センサ基板 10 には疑似ブロックを形成する必要はなく、従来のセンサ基板と全く同じ大きさで足りる。さらに、疑似容量をマトリクス配線 32 の両側に設け、この両側の疑似容量に疑似駆動パルス V_0 を同時に印加するようにしてもよい。

【0041】また、これまでの実施例では、スイッチング素子 Rs がオンになる時期を駆動パルス V_1, V_2, \dots, V_n が印加される直前としてきたが、この時期は特に限定されるものではなく、要するにキャパシタンスキップの残留成分が一括して時間積分されるようになっていれば、駆動パルス V_1, V_2, \dots, V_n が立ち下がった少し後にオンになるようにされていてもよい。

【0042】さらに、これまでの実施例では、駆動パルス V_1, V_2, \dots, V_n 、疑似駆動パルス V_0 などを正のパルスとして説明してきたが、これらは負のパルスでもよいの当然で、この場合、「パルスの立ち上がり」とはパルスの印加開始を意味し、「パルスの立ち下がり」とはパルスの印加終了を意味する。

【0043】その他、ブロックダイオードでなく TFT などにより選択駆動を行なうタイプの画像読取装置にも適用し得るものであり、また、マトリクス駆動方式でなくフォトダイオードの光信号を別々に読み出すいわゆる個別駆動方式の画像読取装置にも適用し得るものであるなど、本発明はその主旨を逸脱しない範囲内で当業者の知識に基づき種々なる改良、修正、変形を加えた態様で実施し得るものである。

【0044】

【発明の効果】本発明に係る画像読取方法は、フォトダイオードと出力ラインを共通にする疑似容量に、駆動パルスが立ち上がる時に立ち下がるとともに立ち下がる時に立ち上がる疑似駆動パルスを印加し、駆動パルスが立ち下がった後までフォトダイオードから流れ出す電流を時間積分しているため、駆動パルスの立ち上がり時と立ち下がり時とに生じるキャパシタンスキップは完全に相殺され、高 SN 比で画像を読み取ることができる。

【0045】また、この方法の実施に直接使用する本発明に係る画像読取装置は、フォトダイオードと出力ラインを共通にする疑似容量と、この疑似容量に疑似駆動パルスを印加する疑似駆動回路とを設け、かつ、信号処理回路を駆動パルスが立ち下がった後まで時間積分するように構成しているため、前述同様に、高 SN 比で画像を読み取ることができる。しかも、キャパシタンスキップを疑似駆動パルスによってある程度まで相殺してから時間積分しているので、信号処理回路などがすぐに飽和してしまうようなこともない。このため、フォトダイオードの信号レベルに合わせた高ゲインの増幅が可能であるなど、設計の自由度が高くなる。

11

【0046】また、疑似容量をセンサ基板上に設け、フォトダイオードを覆う層間絶縁膜をその疑似容量の誘電体として用いているため、センサ基板はさほど大きくならない。さらに、疑似容量を信号処理回路の入力部に設けた場合は、センサ基板は全く大きくならないなど、本発明は種々の優れた効果を奏する。

【図面の簡単な説明】

【図1】本発明に係る画像読取装置の一実施例を示す配線図である。

【図2】本発明に係る画像読取装置を構成するセンサ基板の一実施例を示す要部平面図である。

【図3】図2に示したセンサ基板をA-A線で切断して示す断面説明図である。

【図4】図2に示したセンサ基板をB-B線で切断して示す断面説明図である。

【図5】図1に示した画像読取装置の動作を説明するためのタイムチャートである。

【図6】本発明に係る画像読取装置を構成するセンサ基板の他の実施例を示す要部平面図である。

【図7】従来の画像読取装置の一例を示す配線図である。

【図8】図7に示した画像読取装置の動作を説明するた

12

めのタイムチャートである。

【図9】従来の他の画像読取装置の動作を説明するためのタイムチャートである。

【図10】従来の他の画像読取装置を示す配線図である。

【符号の説明】

10；センサ基板

22；層間絶縁膜

PD；フォトダイオード

BD；ブロッキングダイオード

C₁, C₂, ..., C_m；疑似容量

DC；駆動回路

DCd；疑似駆動回路

SC；信号処理回路

IV₁, IV₂, ..., IV_m；電流増幅回路

IN₁, IN₂, ..., IN_m；積分回路

SH₁, SH₂, ..., SH_m；サンプルホールド回路

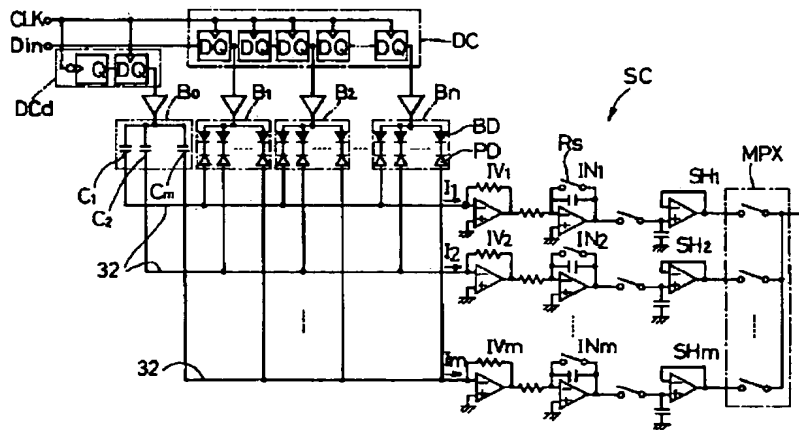
MPX；マルチプレクサ回路

T_{int}；一定時間

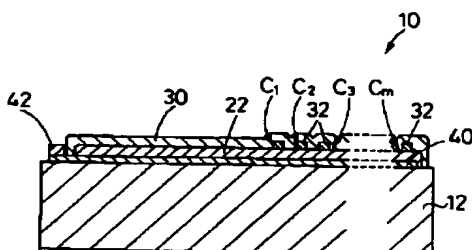
V；駆動パルス

V₀；疑似駆動パルス

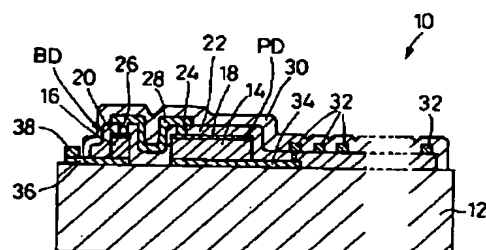
【図1】



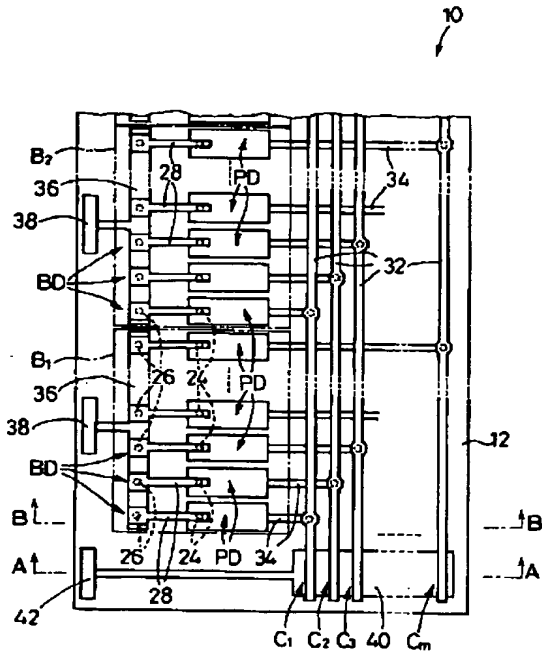
【図3】



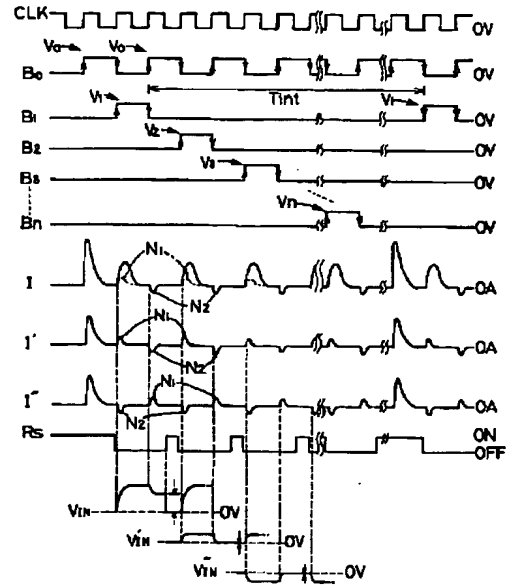
【図4】



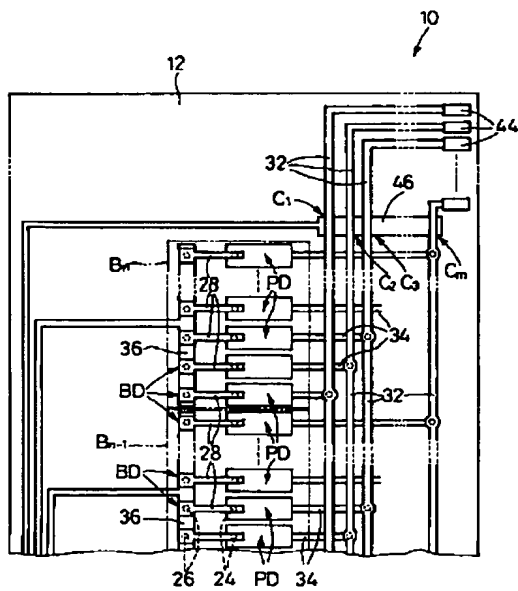
【図2】



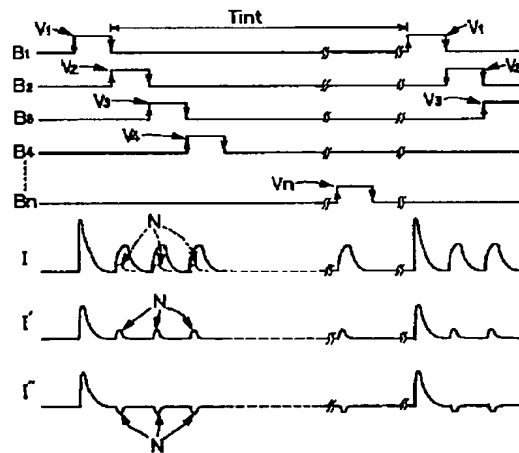
【図5】



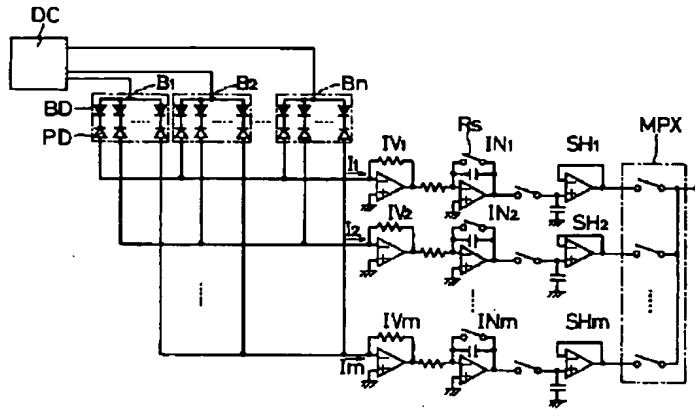
【図6】



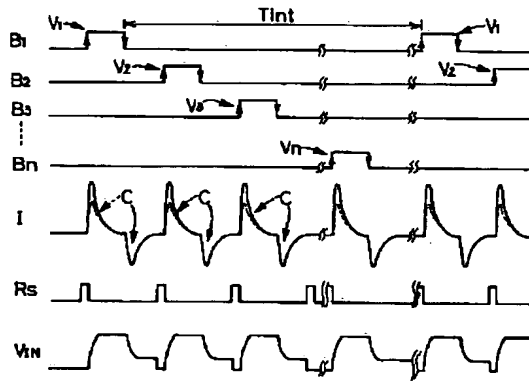
【図8】



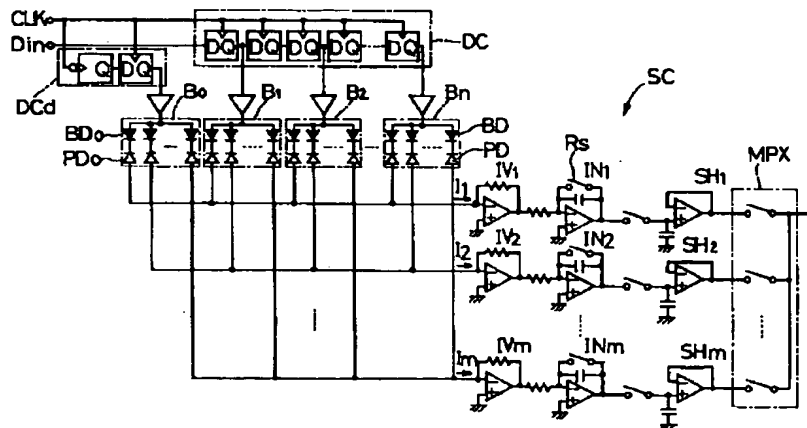
【図7】



【図9】



【図10】



THIS PAGE BLANK (USPTO)